

[EMBODIMENT] Hereinafter, an embodiment of the present invention is described referring to the drawings.

Embodiment 1

An embodiment 1 of the present invention relates to a liquid crystal display device in which, for example, a 12.1 SVGATFT liquid crystal panel and a drive circuit substrate are combined, which is more specifically constituted as follows. In the embodiment 1, a glass substrate 1 constitutes the liquid crystal display panel. As illustrated in Fig. 1, a terminal electrode 2 formed from an ITO film having the thickness of approximately 100 nm, for example, is formed in a peripheral portion of the glass substrate 1, and a wiring 3 for a gate and a source made of Cr, Al, Mo or the like is connected to the terminal electrode 2. A protective film 4, which is a silicon nitride film or the like, is formed in the thickness of approximately 400 nm on the wiring 3, a pixel transistor 4 and the like. The protective film 4 is not provided on the terminal electrode 2.

14/24

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-208178

(P2000-208178A)

(43) 公開日 平成12年7月28日 (2000. 7. 28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 R 11/01		H 0 1 R 11/01	H
G 0 2 F 1/1345		G 0 2 F 1/1345	
H 0 1 R 43/00		H 0 1 R 43/00	H
H 0 5 K 1/14		H 0 5 K 1/14	A

審査請求 未請求 請求項の数21 O L (全 17 頁)

(21) 出願番号 特願平11-11623

(22) 出願日 平成11年1月20日 (1999. 1. 20)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 久保田 健

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100062144

弁理士 青山 蓀 (外1名)

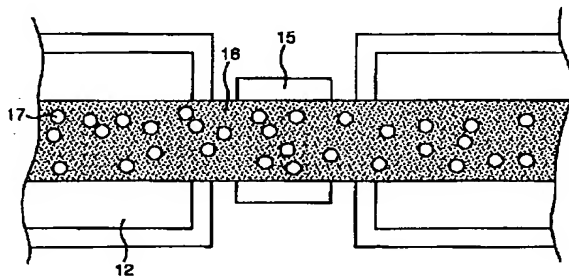
(54) 【発明の名称】 半導体応用装置及びその製造方法

(57) 【要約】

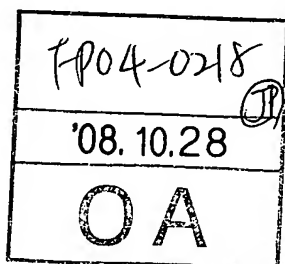
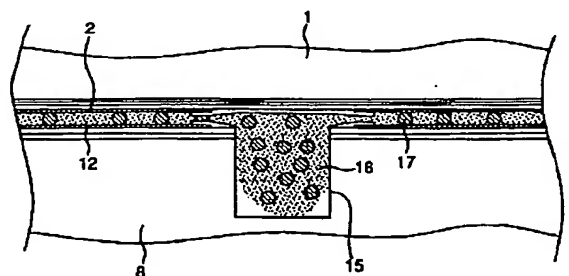
【課題】 高いスループットでかつ安価に製造することができる小型で薄型の半導体応用装置とその製造方法を提供する。

【解決手段】 複数の第1の端子電極を有する第1の基板と第1の端子電極にそれぞれ対応するように形成された複数の第2の端子電極を有する第2の基板とを備え、第1の端子電極と第2の端子電極とを異方性導電膜を介して対向させて接合してなる半導体応用装置であって、第1の基板において、第1の端子電極の間にそれぞれ溝が形成されている。

(a)



(b)



【特許請求の範囲】

【請求項1】 複数の第1の端子電極を有する第1の基板と上記第1の端子電極にそれぞれ対応するように形成された複数の第2の端子電極を有する第2の基板とを備え、上記第1の端子電極と上記第2の端子電極とを異方性導電膜を介して対向させて接合してなる半導体応用装置であって、

上記第1の基板において、上記第1の端子電極の間にそれぞれ溝が形成されていることを特徴とする半導体応用装置。

【請求項2】 上記第1の端子電極間の間隔が $50\mu\text{m}$ 以下である請求項1記載の半導体応用装置。

【請求項3】 上記第1の端子電極の端子数が100以上である請求項1又は2記載の半導体応用装置。

【請求項4】 上記第1及び第2の端子電極の膜厚がそれぞれ $1\mu\text{m}$ 以下である請求項1～3のうちのいずれか1項に記載の半導体応用装置。

【請求項5】 上記異方性導電膜が導電粒子を含んでなり、上記溝の深さを上記導電粒子の径より大きくしかつ上記溝の幅を上記導電粒子径の2倍以上とした請求項1～4のうちのいずれか1項に記載の半導体応用装置。

【請求項6】 上記溝の深さ及び幅を $5\mu\text{m}$ 以上とした請求項1～4のうちのいずれか1項に記載の半導体応用装置。

【請求項7】 上記第1又は第2の基板のうちの少なくとも一方を透明絶縁基板とした請求項1～6のうちのいずれか1項に記載の半導体応用装置。

【請求項8】 上記第1の基板と上記第2の基板の対向する部分でかつ上記異方性導電膜が形成されていない部分の少なくとも一部分に、上記異方性導電膜に含まれる導電粒子と実質的に同じ大きさを有しかつ非導電性のスペーサーを含む樹脂膜が形成された請求項1～7のうちのいずれか1項に記載の半導体応用装置。

【請求項9】 上記第1の端子電極は $1\mu\text{m}$ 以上の厚さを有する絶縁膜を介して上記第1の基板上に形成され、上記溝が上記第1の端子電極の間に位置する絶縁膜を除去することにより形成されている請求項1～4のうちのいずれか1項に記載の半導体応用装置。

【請求項10】 上記第1と第2の基板のうちのいずれか一方は、シリコン基板である請求項1～9のうちのいずれか1項に記載の半導体応用装置。

【請求項11】 複数の第1の端子電極を有する第1の基板と上記第1の端子電極に対応するように形成された複数の第2の端子電極を有する第2の基板とを、上記第1の端子電極と上記第2の端子電極とを異方性導電膜を介して対向させて接合する接合工程を含む半導体応用装置の製造方法であって、

上記接合工程の前に、上記第1の基板において上記第1の端子電極の間に溝を形成する溝形成工程を含むことを特徴とする半導体応用装置の製造方法。

【請求項12】 上記第1の基板がガラス或いは石英もしくはシリコンからなる基板であって、上記溝形成工程がフッ酸を含む溶液を用いて上記第1の基板をエッチングするエッチング工程を含むことを特徴とする請求項11記載の半導体応用装置の製造方法。

【請求項13】 上記第1の基板がガラス或いは石英もしくはシリコンからなる基板であって、上記溝形成工程がドライエッチングにより上記第1の基板をエッチングする工程を含む請求項11記載の半導体応用装置の製造方法。

【請求項14】 上記第1の端子電極が上記第1の基板上に $1\mu\text{m}$ 以上の厚さを有する絶縁膜を介して形成されてなり、

上記溝形成工程が、上記第1の端子電極間に位置する上記絶縁膜をエッチングして除去することによって溝を形成する工程である請求項11記載の半導体応用装置の製造方法。

【請求項15】 上記絶縁膜が感光性樹脂により形成され、上記溝形成工程が上記感光性樹脂からなる上記絶縁膜を露光現像することを含む請求項14記載の半導体応用装置の製造方法。

【請求項16】 上記第1の端子電極は、該第1の端子電極を形成するための電極層を形成した後に該電極層上に所定の形状の電極形成用マスクを形成して上記電極層をエッチングすることにより形成され、上記溝形成工程において、上記電極形成用マスクを用いて上記第1の端子電極間をエッチングすることにより上記溝を形成する請求項11記載の半導体応用装置の製造方法。

【請求項17】 上記溝形成工程において、上記溝以外の部分にレジストを形成して、該レジストをマスクとしてエッチングすることにより溝を形成することを特徴とする請求項11記載の半導体応用装置の製造方法。

【請求項18】 上記溝形成工程において、上記第1の端子電極をマスクとしてエッチングすることにより溝を形成することを特徴とする請求項11記載の半導体応用装置の製造方法。

【請求項19】 複数の第1の端子電極を有する第1の基板と上記第1の端子電極に対応するように形成された複数の第2の端子電極を有する第2の基板とを、上記第1の端子電極と上記第2の端子電極とを異方性導電膜を介して対向させて接合する工程を含む半導体応用装置の製造方法であって、

上記第1の端子電極上及び該上記第1の端子電極間に連続した保護膜を形成する保護膜形成工程と、

上記第1の端子電極上に第1の開口部を有しかつ上記第1の端子電極間に第2の開口部を有する所定の形状のレジストを上記保護膜上に形成するレジスト形成工程と、上記第1の開口部を介して上記保護膜を除去することにより上記第1の端子電極上にコンタクトホールを形成

10

20

30

40

50

し、上記第2の開口部を介して上記保護膜を除去して上記第1の端子電極間に溝を形成するエッチング工程とを含むことを特徴とする半導体応用装置の製造方法。

【請求項20】 上記製造方法はさらに、上記第1の基板において、上記第1の端子電極と上記溝上に連続した異方性導電膜を設ける工程を含み、該異方性導電膜を介して上記第1の端子電極と上記第2の端子電極とを接続するようにした請求項11～19のうちのいずれか1項に記載の半導体応用装置の製造方法。

【請求項21】 上記製造方法においてさらに、上記異方性導電膜に含まれる導電粒子と実質的に同じ大きさを有しかつ非導電性のスペーサー粒子を含む樹脂膜を、上記異方性導電膜が形成されていない部分に形成する工程を含む請求項11～20のうちのいずれか1項に記載の半導体応用装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体素子が実装された液晶表示装置等に代表される半導体応用装置の製造方法に関する。

【0002】

【従来の技術】 近年、半導体素子は非常に高集積化されて小型になり、半導体応用装置の省スペース化に貢献している。しかし半導体応用装置としては半導体素子の実装技術がネックとなり実装部のスペースが十分小さくできないために半導体素子の小型化を十分生かしきれないのが現状である。このような状況の下、コスト低減、省スペース化へ向けて、直接製品に半導体素子を実装する為の要素技術の開発が活発に行われている。特に液晶表示装置では、直接ガラス基板に半導体素子を実装するCOG (chip on glass) 法 (Kazunari Tanaka 映像情報メディア学会技術報告1998年1月IDY98-40 p81-86) や、ガラス上の半導体素子を、ガラス上の端子に実装するGOG (glass on glass) 法等の開発が進んで来ている。しかしながら、これらに関しても、端子間隔が狭くなるに従って難しくなり、まだ、課題は多い。

【0003】 これらの実装技術においては、通常端子間の接続には異方性導電膜 (ACF Anisotropic Conductive Film) を用いることが多い。この異方性導電膜による接続は、通常はガラス基板上の端子にFPC (Flexible Printed Circuit) や、TCP (Tape Carrier Package) 等を実装するのに用いられる。この異方性導電膜を用いた実装において、一方基板に形成された端子電極103aと他方の基板に形成された端子電極103bとは図22に示すように接続される。すなわち、対向する端子電極103aと端子電極103bとの間では、その間隔を異方性導電膜101中の

導電粒子102の径より狭くなるようにして導電粒子102を押しつぶして導通を図り、隣りあう端子電極103a間及び端子電極103b間では、導電粒子102の径に比べて間隔が大きくなるようにして導電粒子102が互いに接触しないようにして絶縁している。

【0004】 このように、異方性導電膜を使用した実装方法では、対向する端子電極103aと端子電極103bとの厚さを利用して、その端子間に挟まれた異方性導電膜101中の導電粒子102を介して端子間の導通を得、隣りあう端子電極103a間及び端子電極103b間では導電粒子102が互いに離れて存在するようにして絶縁している。

【0005】 しかしGOG技術では、端子電極103a、b自体の厚さが100～500nm程度と薄く、時には端子電極部が周りよりも低くなるように形成される場合もあり、図22を用いて説明した異方性導電膜による接続原理を用いて端子電極間の良好な接触を得ることは困難である。例えば、GOG実装において、異方性導電膜101等を用いた場合には、図23(a)及び図23(b)に示す様に、対向する端子電極103a、103b間及び隣接する端子電極103b間の双方で導電粒子102がつぶれ、絶縁されるべき端子電極間で短絡することがある。また、隣接する端子電極間の間隔が狭くなるにつれ導電粒子102によってショートする確率は高くなる。

【0006】 そこで、GOG実装における上述の問題点を改善するために、種々の方法が提案されている。図24(a)及び図24(b)はその一例であるバンブ105を用いた方法を示すものである。この方法では、例えば、半導体素子の実装に用いるワイヤーボンダーを使い、全ての端子電極103aにバンブ105を形成し、バンブ105と端子電極103bとの間を狭くすることでその間に位置する導電粒子102をつぶして接触するようにしている。尚、バンブ105の形成にはメッキ等を用いる方法もある。あるいは、端子電極上のみに導電粒子が残る様に写真製版を行う等の方法も考案されている。尚、図25(a)、(b)に夫々COG法、GOG法を用いた液晶表示装置全体の模式図を示す。一部のICや電源配線等はFPCやTCPにより実装している。

【0007】

【発明が解決しようとする課題】 しかしながら、バンブを形成して実装をする方法では、バンブを形成しているので薄型化が困難であるという問題点があった。また、GOG法においてワイヤーボンダーを用いる方法は、実装端子数の非常に多い液晶駆動用の半導体素子の場合には一パネル当たりのコストが上昇し、スループットが悪化するという問題点があった。また、バンブを小さくすることには限界があるので、高密度化に限界があった。メッキを用いてバンブを形成する方法では、図26

(a)及び図26(b)に示す様に半導体素子の大きさ

がある程度以上大きくなると、バンプ105として必要な膜厚に形成しようとした場合、膜厚が不均一となる為に異方性導電膜101に均等に力がかからず場所により導通不良が発生したりするという問題点があった。写真製版を用いた場合にも端子間距離が近づくと現象処理だけでは端子間にも導電粒子が残って不良が発生するという問題点があった。このために、十分高密度に実装することが困難であった。

【0008】そこで、本発明は、従来の実装方法における上述のように問題点を解決して、高いスループットでかつ安価に製造することができる小型で薄型の半導体応用装置とその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は上述の目的を達成するためになされたものである。すなわち、本発明に係る半導体応用装置は、複数の第1の端子電極を有する第1の基板と上記第1の端子電極にそれぞれ対応するように形成された複数の第2の端子電極を有する第2の基板とを備え、上記第1の端子電極と上記第2の端子電極とを異方性導電膜を介して対向させて接合してなる半導体応用装置であって、上記第1の基板において、上記第1の端子電極の間にそれぞれ溝が形成されていることを特徴とする。このようにすると、互いに対向する上記第1の端子電極と上記第2の端子電極との間隔より、互いに隣接する上記第1の端子電極の間の溝部分における上記第1の基板と上記第2の基板との間隔を大きくでき、互いに隣接する上記第1の端子電極の間（互いに隣接する上記第2の電極間）に位置する上記異方性導電膜の絶縁特性を良好に保持できる。

【0010】また、本発明に係る半導体応用装置では、高密度配線および高密度の端子間の接続をするために、上記第1の端子電極間の間隔を50 μ m以下にしてもよい。

【0011】さらに、本発明に係る半導体応用装置では、上記第1の端子電極の端子数を100以上にしてもよい。

【0012】また、本発明に係る半導体応用装置では、端子電極の厚さのバラツキを小さくするために上記第1及び第2の端子電極の膜厚をそれぞれ1 μ m以下にすることが好ましい。

【0013】さらに、本発明に係る半導体応用装置では、互いに隣接する上記第1の端子電極の間（互いに隣接する上記第2の電極間）に位置する上記異方性導電膜の絶縁特性をより良好に保持するために、上記溝の深さを上記異方性導電膜に含まれる導電粒子の径より大きくし、かつ上記溝の幅を上記導電粒子径の2倍以上とすることが好ましい。

【0014】また、本発明に係る半導体応用装置では、上記溝の深さ及び幅を5 μ m以上としてもよい。このようにすると、一般的に使用される2～3 μ mの導電粒子

が含まれる異方性導電膜を用いた場合において、互いに隣接する上記第1の端子電極の間（互いに隣接する上記第2の電極間）に位置する上記異方性導電膜の絶縁特性を良好に保持できる。

【0015】また、本発明に係る半導体応用装置では、上記第1又は第2の基板のうちの少なくとも一方を透明絶縁基板とすることができる。従って、例えば、液晶表示パネル等の表示装置に応用することができる。

【0016】また、本発明に係る半導体応用装置においては、上記第1の基板と上記第2の基板の対向する部分でかつ上記異方性導電膜が形成されていない部分の少なくとも一部分に、上記異方性導電膜に含まれる導電粒子と実質的に同じ大きさを有しかつ非導電性のスペーサーを含む樹脂膜を形成することが好ましく、これによって、上記第1の基板と上記第2の基板とを実質的に互いに平行にすることができる。

【0017】また、本発明に係る半導体応用装置では、上記第1の端子電極が1 μ m以上の厚さを有する絶縁膜を介して上記第1の基板上に形成される場合、上記溝を上記第1の端子電極の間に位置する絶縁膜を除去することにより形成するようにしてもよい。このようにすると溝の形成が比較的容易にできる。

【0018】さらに、本発明に係る半導体応用装置では、上記第1と第2の基板のうちいずれか一方は、シリコン基板とすることができる。

【0019】また、本発明に係る半導体応用装置の第1の製造方法は、複数の第1の端子電極を有する第1の基板と上記第1の端子電極に対応するように形成された複数の第2の端子電極を有する第2の基板とを、上記第1の端子電極と上記第2の端子電極とを異方性導電膜を介して対向させて接合する接合工程を含む半導体応用装置の製造方法であって、上記接合工程の前に、上記第1の基板において上記第1の端子電極の間に溝を形成する溝形成工程を含むことを特徴とする。このようにすると、上記第1の基板において互いに隣接する上記第1の端子電極の間に溝が形成された半導体応用装置を製造することができる。

【0020】また、本発明に係る半導体応用装置の第1の製造方法において、上記第1の基板がガラス或いは石英もしくはシリコンからなる基板である場合には、上記溝形成工程がフッ酸を含む溶液を用いて上記第1の基板をエッチングするエッチング工程を含むことにより、容易に溝を形成することができる。

【0021】また、本発明に係る半導体応用装置の第1の製造方法において、上記第1の基板がガラス或いは石英もしくはシリコンからなる基板である場合には、上記溝形成工程がドライエッチングにより上記第1の基板をエッチングする工程を含み、上記溝を形成するようにしてもよい。このようにすると、所定の形状の溝を精度よく形成することができる。

【0022】また、本発明に係る半導体応用装置の第1の製造方法において、上記第1の端子電極が上記第1の基板上に1 μ m以上の厚さを有する絶縁膜を介して形成されている場合には、上記溝形成工程が、上記第1の端子電極間に位置する上記絶縁膜をエッチングして除去することによって溝を形成する工程であってもよい。このようにすると、比較的容易に溝を形成することができる。

【0023】上記製造方法において、上記絶縁膜が感光性樹脂により形成し、上記溝形成工程が上記感光性樹脂からなる上記絶縁膜を露光現像することを含むようにしてもよい。このようにするとさらに容易に溝を形成することができる。

【0024】また、本発明に係る半導体応用装置の第1の製造方法において、上記第1の端子電極は、該第1の端子電極を形成するための電極層を形成した後に該電極層上に所定の形状の電極形成用マスクを形成して上記電極層をエッチングすることにより形成されている場合、上記溝形成工程において、上記電極形成用マスクを用いて上記第1の端子電極間をエッチングすることにより上記溝を形成することが好ましい。

【0025】さらに、本発明に係る半導体応用装置の第1の製造方法において、上記溝形成工程において、上記溝以外の部分にレジストを形成して、該レジストをマスクとしてエッチングすることにより溝を形成することができる。

【0026】またさらに、本発明に係る半導体応用装置の第1の製造方法では、上記溝形成工程において、上記第1の端子電極をマスクとしてエッチングすることにより溝を形成することができる。

【0027】また、本発明に係る半導体応用装置の第2の製造方法は、複数の第1の端子電極を有する第1の基板と上記第1の端子電極に対応するように形成された複数の第2の端子電極を有する第2の基板とを、上記第1の端子電極と上記第2の端子電極とを異方性導電膜を介して対向させて接合する工程を含む半導体応用装置の製造方法であって、上記第1の端子電極上及び該上記第1の端子電極間に連続した保護膜を形成する保護膜形成工程と、上記第1の端子電極上に第1の開口部を有しかつ上記第1の端子電極間に第2の開口部を有する所定の形状のレジストを上記保護膜上に形成するレジスト形成工程と、上記第1の開口部を介して上記保護膜を除去することにより上記第1の端子電極上にコンタクトホールを形成し、上記第2の開口部を介して上記保護膜を除去して上記第1の端子電極間に溝を形成するエッチング工程とを含むことを特徴とする。このようにすると、上記第1の基板において互いに隣接する上記第1の端子電極の間に溝が形成された半導体応用装置を、新たに溝形成工程を追加することなく製造することができる。

【0028】また、本発明に係る半導体応用装置の第2

の製造方法では、さらに上記第1の基板において、上記第1の端子電極と上記溝上に連続した異方性導電膜を設ける工程を含み、該異方性導電膜を介して上記第1の端子電極と上記第2の端子電極とを接続するようにすることが好ましい。

【0029】さらに、本発明に係る半導体応用装置の第2の製造方法は、上記製造方法においてさらに、上記異方性導電膜に含まれる導電粒子と実質的に同じ大きさを有しかつ非導電性のスペーサー粒子を含む樹脂膜を、上記異方性導電膜が形成されていない部分に形成する工程を含むことが好ましい。

【0030】

【発明の実施の形態】以下、図面を参照して本発明に係る実施の形態について説明する。

実施の形態1. 本発明に係る実施の形態1は、例えば12.1SVGATFT液晶の液晶表示パネルと駆動回路基板とを組み合わせる液晶表示装置であって、以下のように構成される。本実施の形態1において、液晶表示パネルはガラス基板1を用いて構成され、ガラス基板1の周辺部に、図1に示すように、例えば、100nm程度の厚さのITO膜からなる端子電極2が形成され、該端子電極2にCr、Al、Mo等より構成されるゲートやソースの配線3が接続されている。また、配線3上や画素トランジスタ部等には、シリコン窒化膜等からなる保護膜4が400nm程度の厚さに形成されており、端子電極2上においては保護膜4が除去されている。尚、液晶7はシール剤5によってシールされたカラーフィルター6とガラス基板1の間に注入されている。また、端子電極2は、例えばソース端子用として2400個、ゲート端子用として600個、その他の信号端子用として若干数の、合計数千個形成されている。

【0031】また、この液晶パネルの端子電極2に接続される駆動回路基板は、以下のように製造される。まず、ガラス基板8上に、図2(a)に示すように、低温ポリシリコンTFT形成プロセスでCMOS回路9を形成する。CMOS回路9を形成した後、図2(b)に示すようにシリコン窒化膜、SiO₂膜等の積層膜からなる絶縁膜10にコンタクトホール10aを形成した後、絶縁膜10上にスパッタリングにより下層Cr100nm、上層Al系合金400nmの二層膜を形成し、ソース電極11s、ドレイン電極11d及び配線11と端子電極12をパターンニングによって一体で同時に形成する。以上のように作製された駆動回路基板の端子部付近は、図3の平面図に示すようになる。この駆動回路基板において、例えば、端子電極12のピッチは80 μ m、端子電極12間の間隔は30 μ mに設定される。

【0032】次に、配線11などを保護する為にシリコン窒化膜等からなる保護膜13を400nm程度の厚さに形成してその上にレジストを形成し、該レジストを図4に示す様な形状にパターンニングすることにより、端子

電極12上と、隣接する端子電極12の間にそれぞれ矩形の開口部14a、14bを有する所定の形状にパターンニングされたレジスト14を形成する。すなわち、レジスト14において、図5(a)のA-A'線についての一部の断面図に示すように、端子電極12上にコンタクト形成用の開口部(抜きパターン)14aと、端子電極12間に幅 $20\mu\text{m}$ 程度の溝状の開口部(抜きパターン)14bとが形成されている。

【0033】そして、レジスト14をマスクとして、フッ酸を含むエッチング液を用いてエッチングをする。このエッチングによって、端子電極12上では開口部14aを介してシリコン窒化膜からなる保護膜13を除去し、端子電極12の間においては、保護膜13及び絶縁膜10を除去しさらにガラス基板1の途中までエッチングする。ここで、エッチング時間は、ガラス基板を深さ $20\mu\text{m}$ 程度の深さにエッチングするように設定する。尚、端子電極12上では開口部14aを介して保護膜13が除去されるが、端子電極12は上述のエッチング液によっては除去されず、それ以上エッチングが進むことはない。言いかえれば、上述のエッチング液は、端子電極12をエッチングしないものを選ぶ必要がある。

【0034】このようにして、図5(b)に示すように、端子電極12上の保護膜13は除去して端子電極12の表面を露出させ、同時に隣接する端子電極12間には深さ $20\mu\text{m}$ 程度の溝15を形成することができる。尚、図5(a)(b)は、図4のA-A'線についての断面の一部分を示している。以上のようにして作製した液晶パネルと駆動回路基板とを、図6(a)に示すように、帯状の異方性導電膜16を溝15上を横切るように端子電極上に配置して、液晶パネルの端子電極2と駆動回路基板の端子電極12とを異方性導電膜16を介して対向させて接合する。ここで、異方性導電膜16に含まれる導電粒子17としては直径が $2\sim 3\mu\text{m}$ の物を使用した。このようにすると、図6(b)に示すように、液晶パネルの端子電極2と駆動回路基板の端子電極12とは、異方性導電膜16に含まれる導電粒子17によって導通し、隣接する端子電極2(隣接する端子電極12)間においては、溝15が形成されていることにより、異方性導電膜16中の導電粒子17が互いに離れて存在するような状態を維持でき、良好な絶縁状態を保持できる。

【0035】液晶パネルに駆動回路基板を実装する場合に、駆動回路基板の大きさに対する端子部の占める面積の比率が大きい場合には、端子部の異方性導電膜16のみで貼り合わせ強度を得ることができる。従って、本実施の形態1では、液晶パネルと駆動回路基板とを、端子部のみで貼り合わせるようにしている。しかし、端子部の面積は通常、図7の断面図に示す様に駆動回路基板に比べて、それ程大きく無い場合が多い。従って、この様な場合には、端子部以外の部分にもスペーサーの入った

樹脂28を挟んで圧着することにより十分な貼り合わせ強度を得ることができる。このようにスペーサーの入った樹脂を用いる場合、スペーサー粒子と導電粒子17の径を調整することにより基板間の平行度も保つことが可能であり、端子部での実装不良の発生を抑えることができる。

【0036】以上のようにして製造された実施の形態1の液晶表示装置は、駆動回路基板において隣接する端子電極12間に、異方性導電膜16に含まれる導電粒子17の径に比較して十分大きい溝15を形成しているの
で、非常に端子を狭ピッチにした場合でも、端子間のショートを発生させずにガラス基板間(液晶パネルと駆動回路基板間)の実装が可能となる。すなわち、本実施の形態1では、異方性導電膜を使用して実装を行っているが、端子電極間に溝15がある為に異方性導電樹脂が適度に溝15に逃げる事が可能であり、異方性導電膜16内の導電粒子17は端子電極12と端子電極2の間では、変形して正常に端子電極間の導通を得ることができる。また、隣接する端子電極間では、異方性導電膜16において導電粒子17が接触することなく、良好な絶縁が保持される。

【0037】従って、本実施の形態1の液晶表示装置では、高密度配線および高密度の端子間の接続をするために、端子電極間の間隔を $50\mu\text{m}$ 以下にすることが容易にでき、また、本実施の形態1の液晶表示装置では、上記第1の端子電極を100以上有する表示装置等の半導体応用装置を小型に形成することが容易にできる。従って、本発明により、液晶表示装置に限らず、極めて高密度に形成された端子電極間の接続を必要とする半導体応用装置を構成することができる。

【0038】また、本実施の形態1では、異方性導電膜16中の導電粒子径 $2\sim 3\mu\text{m}$ に比べて溝15の幅、深さとも $20\mu\text{m}$ 程度と非常に大きく設定しているの
で、隣接する導電端子間において極めて良好な絶縁性を保持することができる。しかしながら、本発明において、導電粒子径及び溝15の幅、深さは上述の数値に限定されるものではなく、少なくとも溝15が形成されることにより、隣接する端子電極間において異方性導電膜の導電粒子が接触しないような溝幅及び深さに設定すればよい。具体的には、溝深さを導電粒子径以上、溝幅も導電粒子径の2倍以上に設定することが好ましい。すなわち、異方性導電膜は、上下に位置する端子電極間を含有する導電粒子によって接続するものであり、導電粒子同士は横方向には接触しないように膜内に分散されている。従って、溝の深さを導電粒子径以上とすることにより、溝部分に位置する導電粒子は変形することがなく、横方向に隣接する導電粒子間において接触することはない。また、溝幅を粒子径の2倍以上に設定することにより、溝部分に位置しかつ横方向に隣接する導電粒子間において接触することはない。また、溝15の断面形状は

矩形である必要も無く、半円形又はV字型等種々の形状とすることができる。

【0039】また、本実施の形態1の液晶表示装置では、溝15の深さ及び幅を $5\mu\text{m}$ 以上とすると以下のような利点がある。すなわち、一般的に使用される異方性導電膜には通常 $2\sim 3\mu\text{m}$ の導電粒子が含まれており、その異方性導電膜を用いた場合、溝15の深さ及び幅を $5\mu\text{m}$ 以上とすれば、上述した理由により互いに隣接する端子電極の間に位置する異方性導電膜の絶縁特性を良好に保持できる。従って、異方性導電膜として特別のものをを用いることなく、通常使用されるものをを用いることができ、安価に製造できる。

【0040】また、本実施の形態1において、端子電極の膜厚は $1\mu\text{m}$ 以下に設定することが好ましい。このようにすると、端子電極の膜厚の面内分布を比較的小さくでき、端子電極の表面の高さを基板内においてほぼ揃えることができる。これによって、接合時に導電粒子に対して均等に力をかけることができるので、導通不良の発生を抑えることができる。また、本実施の形態1において、溝15の深さは基板が大きくなるとかなりのバラツキが生じる可能性があるが、そのバラツキを見込んである程度以上の深さに設定することにより、実装上何ら問題を生じない。従って、駆動回路基板の厚さが厚くても問題がなく実装することが可能であり、駆動回路基板として比較的大きな基板を用いることもできる。また、本実施の形態1において、溝15のパターニングは、保護膜のパターニングと同時にやっている為に写真製版工程を新たに増加するものではなく、製造コストを押し上げることはない。

【0041】また、本実施の形態1の液晶表示装置の製造方法では、ワイヤーボンターによるバンプ形成の様に各端子電極に一つずつバンプを形成するものではないので、端子電極の数が非常に多い場合にも工程を簡単にでき、低コストで製造することができる。尚、本実施の形態1では溝15を形成する時のエッチングとしてウェットエッチングを用いたが、スループットと装置コストを考慮して採用したものであり、本発明はこれに限定されるものではなく、ドライエッチングを用いてもよい。

【0042】また、本実施の形態1においては、従来例に比較してさらに端子電極の幅及び端子電極間の間隔が狭い場合にも適用できる。より高精度の幅でエッチングを行う必要があればサイドエッチングの少ないドライエッチングを用いることが好ましい。また、ドライエッチングの中でもRIEモードの異方性エッチングを用いると精度の高い加工が可能となり、よりいっそう端子電極の幅及び端子電極間の間隔が狭い液晶表示装置の作製が可能である。本実施の形態1では、基板一枚当たりのチップ取り数の多いガラス基板上の低温ポリシリコン駆動回路を製造する工程において、駆動回路基板側に溝15を形成するようにした。これによって、単位チップ当た

りのコスト増加は、取り数の比較的小さい液晶パネル側に溝15を設ける場合に比べてすくなくできる。しかしながら、本発明はこれに限られるものではなく、液晶パネル基板側の端子電極間に溝を形成するようにしてもよい。

【0043】また、実施の形態1の液晶表示装置では、ガラス基板1の途中までエッチングすることにより、溝15を形成するようにしたが、絶縁膜10を比較的厚く($1\mu\text{m}$ 以上)形成した場合、端子電極間に位置する絶縁膜10のみをエッチングして除去することによって溝を形成するようにしてもよい。このようにすると比較的容易に溝を形成することができ、かつ端子電極間の絶縁性を良好にできる。また、この場合、絶縁膜10を感光性樹脂により形成し、その感光性樹脂からなる絶縁膜10を露光現像することにより溝を形成するようにするとさらに容易に溝を形成することができる。

【0044】以上の様に、本実施の形態1の液晶表示装置は、駆動回路基板の端子電極間に溝を形成することにより、異方性導電膜による剛体(ガラス基板と駆動回路基板)間の高密度実装が高歩留りで可能となる。また、駆動回路基板の保護膜の除去時の写真製版と同時に溝の形成を行うことができ、新たに写真製版工程を増加することなく形成できるので、製造コストを上昇させることもない。また、全ての端子電極に対して同時に処理が可能であることから、端子数が増加しても製造コストを増加させることがない。さらに、ICをパッケージせずに実装できる為、ICを個別にパッケージする場合に比較してコストを下げるができる。またさらに、半導体素子として個々にパッケージしていないものをを用いることができるので、半導体素子の占める面積を縮小することができ、半導体応用装置を非常に小型化、薄型化することが可能になる。

【0045】実施の形態2. 次に、TFT液晶の液晶パネルと駆動回路基板とからなる、本発明に係る実施の形態2の液晶表示装置について説明する。本実施の形態2の液晶表示装置において、駆動回路基板が実施の形態1の駆動回路基板とは異なり、液晶パネルは実施の形態1と同様のものをを用いている。また、実施の形態2で使用する駆動回路基板は、実施の形態1の駆動回路基板においてガラス基板8に代えてシリコン基板18を用いた以外は実施の形態1の駆動回路基板と同様に構成される。

【0046】すなわち、実施の形態2において駆動回路基板は、図8(a)に示すように、単結晶のシリコン基板18に、通常のMOSトランジスタ形成プロセスでCMOS回路29を形成し、以下、図8(b)及び図9に示すように実施の形態1の駆動回路基板の製造方法と同様にして作製する。尚、本実施の形態2の駆動回路基板に用いたシリコン基板18は、実施の形態1に用いたガラス基板8と同様に、表面の保護膜13及び絶縁膜10に対しては、フッ酸を含むエッチング液、シリコン基板に

対してはフッ酸及び硝酸を含むエッチング液を使い分けることによってエッチングすることができる。

【0047】また、実施の形態2の液晶パネル装置の製造方法では、シリコン基板18を用いて以上のように作製した駆動回路基板と液晶パネルとを、図10(a)および図10(b)に示す様に、実施の形態1の場合と同様に、異方性導電膜16が溝15を必ず横切る様に端子2と端子12間に挟み熱圧着によって実装する。

【0048】以上のように作製された実施の形態2の液晶表示装置は、実施の形態1と同様の作用効果を有し、さらに半導体ICチップからなる高性能な駆動回路基板を用い、かつ通常の半導体素子の様なパッケージや端子へのパンク形成等の工程が必要で無いことにより、駆動IC部の大幅な低コスト化が可能である。

【0049】実施の形態3。本実施の形態3の液晶表示装置は、TFT液晶の液晶パネルと駆動回路基板とを接合してなり、液晶パネル側の端子間に溝を形成して隣接する端子間の短絡を防止するようにしたことが、実施の形態1、2とは異なる。この実施の形態3における液晶パネルは、例えば12、1SVGA等の一般的な液晶パネルを用いることができる。

【0050】以下、本実施の形態3の液晶表示装置の製造方法について説明する。

(液晶パネルの作製) 本方法ではまず、図12に示すように、ガラス基板1の上に、通常のアモルファスTFTの製造方法に従って画像表示部19を形成する。端子部分としてはTFTのゲート絶縁膜20の上にCr、Al、Mo等より構成されるゲートやソースの配線3に接続される様に100nm程度の厚さのITO膜を形成した後に所定の形状にパターンニングすることにより、端子電極2と画素電極21とを同時に形成する。次に、配線3や画素トランジスタ部等を保護する為に、400nm程度の厚さのシリコン窒化膜等からなる保護膜4を形成する。液晶パネルにおいて、端子電極ピッチ及び端子電極間距離はそれぞれ図13に示すように、80 μ m及び30 μ mである。

【0051】次に、保護膜4上にレジストを形成し、該レジストを図14に示す様な形状にパターンニングすることにより、端子電極2上と、隣接する端子電極2の間にそれぞれ矩形の開口部を有する所定の形状にパターンニングされたレジスト14を形成する。すなわち、レジスト14において、図14及び図14のB-B'線についての断面における一部の断面図(図15(a))に示すように、端子電極2上にコンタクト形成用の開口部(抜きパターン)14aと、端子電極12間に幅20 μ m程度の溝状の開口部(抜きパターン)14bとが形成される。

【0052】そして、レジスト14をマスクとして、フッ酸を含むエッチング液を用いてエッチングをする。このエッチングによって、端子電極2上では開口部14a

を介してシリコン窒化膜からなる保護膜4を除去し、端子電極2の間においては、保護膜4及び絶縁膜20を除去しさらにガラス基板1の途中までエッチングする。ここで、エッチング時間は、ガラス基板を深さ20 μ m程度の深さにエッチングするように設定する。

【0053】次に、図16に示すように、通常の液晶パネルの製造法と同様にガラス基板1とカラーフィルター6とでシール剤5を挟んでセル組を行い、液晶7を注入し液晶パネルを完成させる。本実施の形態3では、ソース配線と画素電極21とが同じ層で形成された液晶パネルを用いたが、感光性有機樹脂膜等を3 μ m程度形成し平坦化した上に画素電極21や端子3を最上層に形成した方式を用いることもできる。

【0054】(駆動回路基板の作製) 次に、この液晶パネルと接合する駆動回路基板の製造工程を図面を参照しながら説明する。実施の形態3の駆動回路基板の製造方法では、図17(a)に示すように、実施の形態1と同様に、ガラス基板8上に、低温ポリシリコンTFT形成プロセスでCMOS回路9を形成し、絶縁膜10上に100nmの厚さのCr層からなる下層と、400nmの厚さのAl系合金からなる上層との二層膜をスパッタリングにより形成し、ソース・ドレイン電極、配線11及び端子電極12をパターンニングすることによって形成する。そして、図17(b)に示すように、配線などを保護する為にシリコン窒化膜等からなる保護膜を400nm程度形成した後、端子電極12上に開口部13aが形成されるようにパターンニングすることにより保護膜13を形成する。尚、各端子電極12は図18に示すように、端子ピッチが80 μ m、端子間距離が30 μ mになるように形成される。

【0055】(液晶パネルと駆動回路基板との接合) 以上のようにして作製した液晶パネルと駆動回路基板とを、図19(a)に示すように、帯状の異方性導電膜16を溝15上を横切るように配置して、液晶パネルの端子電極2と駆動回路基板の端子電極12とを異方性導電膜16を介して対向させて接合する。ここで、異方性導電膜16に含まれる導電粒子17としては直径が2~3 μ mの物を使用した。このようにすると、図19(b)に示すように、液晶パネルの端子電極2と駆動回路基板の端子電極12とは、異方性導電膜16に含まれる導電粒子17によって導通し、隣接する端子電極2(隣接する端子電極12)間においては、溝15が形成されていることにより、異方性導電膜16中の導電粒子17が互いに離れて存在させることができ、良好な絶縁状態を保持できる。

【0056】本実施の形態3でも実施の形態1と同様に端子部以外の部分にもスペーサーの入った樹脂を挟んで圧着することにより十分な貼り合わせ強度を得ることができる。また、スペーサー粒子と導電粒子17の径を調整することにより基板間の平行度も保つことが可能であ

り、端子部での実装不良も発生し難くすることができる。

【0057】以上のように作製された実施の形態3の液晶表示装置は、実施の形態1と同様に、端子電極を狭ピッチとした場合においても、隣接する端子電極間において短絡を発生させずにガラス基板間の接合が可能であり、小型化ができる。更に端子の数を多くした場合においても、ワイヤーボンダーによるパンプ形成の様に端子一つずつに処理をする必要はないので、工程を非常に簡便にでき、低コストで製造することができる。

【0058】本実施の形態では、駆動回路基板に、ガラス基板上の低温ポリシリコンTFTを実装したが、液晶パネル側を加工しているので、実施の形態2のシリコン基板上の駆動回路で溝15を形成しない基板を作成して実装しても同様に実装可能である。当然、駆動回路基板と液晶パネル双方に溝15を形成しても同様の効果を得られる。また、本実施の形態3においても、溝15を、実施の形態1と同様ドライエッチングを用いても良い。

【0059】実施の形態4。実施の形態1、2及び3では、端子電極上の保護膜13をパターンニングした後、そのパターンニングに用いたレジスト14を用いて溝15を形成したが、端子電極上に保護膜を形成しない液晶パネル又は駆動回路基板を用いる場合も当然ある。この実施の形態4は、端子電極上に保護膜13を形成しない場合における、溝形成の一例を示すものである。

【0060】すなわち、本実施の形態4では、ガラス基板1上に複数の層からなる絶縁膜10を形成した後、該絶縁膜10上に端子電極42を形成するための導体層を形成する。そして、該導体層上に所定の形状にレジスト44を形成して、図20(a)に示すように該レジスト44をマスクとして導体層をエッチングすることにより、所定形状の端子電極44を形成する。次に、図20(b)に示すようにレジスト44を除去して、図20(c)に示すように端子電極42をマスクとして絶縁膜10及びガラス基板1をエッチングすることにより溝45を形成する。尚、本発明では、レジスト44を除去する前に、レジスト44及び端子電極42をマスクとして、エッチングすることにより溝45を形成するようにしてもよい。

【0061】ここで、溝15を形成する場合のエッチング工程では、端子電極付近のみエッチング液に浸漬して端子間に溝15を形成することが好ましい。このようにすると、液晶パネル側に溝15を形成する場合、液晶パネルにおいてセル組を行った後に溝形成のためのエッチングを行うことができる。以上のようにして作製した液晶パネルと駆動回路基板とを実施の形態1、2及び3と同様に、図21(a)及び図21(b)に示す様に、異方性導電膜が溝15を必ず横切る様に端子電極42と端子電極12間に挟み熱圧着によって実装する。本実施の形態4の方法では、図21(a)に示すように溝

45同士が全てつながることになるが、図21(b)に示すように、実施の形態1～3と同様の作用効果が得られる。

【0062】また、端子電極42を形成する時のレジスト又は端子電極42そのものを溝15を形成するときのマスクとして用いているので、溝15を形成するためのパターンニングをする写真製版工程を新たに追加するものではない。従って、製造コストを上昇させることが無い点においても、実施の形態1～3と同様である。

10 【0063】以上説明した実施の形態1～4においては、いずれも、液晶パネル、駆動回路基板、いずれか一方のみに溝を形成したが、本発明はこれに限られず、液晶パネル及び駆動回路基板の双方に溝を形成するようにしてもよい。このようにすると、パネル及び基板に形成する溝の深さをそれぞれ、比較的浅くしても同様の効果を得ることができる。

【0064】以上の実施の形態1～4では、いずれも液晶表示装置について説明したが、本発明はこれに限られるものではない。すなわち、本発明は、それぞれ複数の端子電極を有する少なくとも2つの基板を張り合わせて互いに端子電極間を接続する構成を有する半導体応用装置に適用することができ、実施の形態1～4と同様の作用効果を有する。

【0065】また、実施の形態2～3において、実施の形態1で説明した種々の変形が可能であることはいうまでもない。

【0066】

【発明の効果】以上詳細に説明したように、本発明に係る半導体応用装置は、複数の第1の端子電極を有する第1の基板と複数の第2の端子電極を有する第2の基板とを、上記第1の端子電極と上記第2の端子電極とが異方性導電膜を介して対向するように接合されてなり、上記第1の基板において、上記第1の端子電極の間にそれぞれ溝が形成されている。これによって、上記第1の端子電極の間の溝部分における上記第1の基板と上記第2の基板との間隔を大きくできることから、上記第1の端子電極の間に位置する上記異方性導電膜の絶縁特性を良好に保持でき、端子電極間を狭くすることが可能となるので小型にできる。また、上記溝は例えば形成すべき溝部分に開口部を有するレジストを形成してエッチングをすることにより、多くの溝を一度に形成することができ、高いスループットでかつ安価に製造することができる。

【0067】また、本発明に係る半導体応用装置では、上記第1の端子電極間の間隔を50μm以下にすることができ、これにより高密度配線および高密度の端子間の接続が可能となりより小型にできる。

【0068】さらに、本発明に係る半導体応用装置では、上記第1の端子電極の端子数を100以上にすることにより小型でかつ大規模な回路を構成できる。

【0069】また、本発明に係る半導体応用装置では、

50

上記第1及び第2の端子電極の膜厚をそれぞれ1 μ m以下にすることにより、端子電極の厚さのバラツキを小さくできるので、上記第1の端子電極と上記第2の端子電極との導通を良好にでき、かつ上記第1の端子電極間及び上記第2の端子電極間において良好な絶縁特性が得られる。また、端子電極を薄型にできることから、半導体応用装置の薄型化が可能となる。

【0070】さらに、本発明に係る半導体応用装置では、上記溝の深さを上記異方性導電膜に含まれる導電粒子の径より大きくしかつ上記溝の幅を上記導電粒子径の2倍以上とすることにより、互いに隣接する上記第1の端子電極の間（互いに隣接する上記第2の電極間）に位置する上記異方性導電膜の絶縁特性をより良好に保持できるので、端子電極間の間隔をさらに狭くすることが可能となり、よりいっそうの小型化が可能となる。

【0071】また、本発明に係る半導体応用装置では、上記溝の深さ及び幅を5 μ m以上とすることにより、一般的に使用される2～3 μ mの導電粒子が含まれる異方性導電膜を用いることができるので、汎用的な異方性導電膜を用いることができ、安価にできる。

【0072】また、本発明に係る半導体応用装置では、上記第1又は第2の基板のうちの少なくとも一方を透明絶縁基板とすることにより、液晶表示パネル等の表示装置とできる。

【0073】また、本発明に係る半導体応用装置においては、上記第1の基板と上記第2の基板の対向する部分でかつ上記異方性導電膜が形成されていない部分に、上記異方性導電膜に含まれる導電粒子と実質的に同じ大きさを有しかつ非導電性のスペーサーを含む樹脂膜を形成することにより、上記第1の基板と上記第2の基板とを、実質的に互いに平行にすることができるので、上記第1の端子電極と上記第2の端子電極との導通を良好にでき、かつ上記第1の端子電極間及び上記第2の端子電極間において良好な絶縁特性が得られる。

【0074】また、本発明に係る半導体応用装置では、上記第1の端子電極が1 μ m以上の厚さを有する絶縁膜を介して上記第1の基板上に形成される場合、上記溝を上記第1の端子電極の間に位置する絶縁膜を除去することにより形成することにより、溝の形成が比較的容易にできるので安価にできる。

【0075】また、本発明に係る半導体応用装置では、上記第1と第2の基板のうちいずれか一方をシリコン基板とすることにより、容易に回路の集積化ができるので、高機能でかつ小型の回路を形成することができる。

【0076】また、本発明に係る半導体応用装置の第1の製造方法は、上記第1の基板と上記第2の基板とを、上記第1と第2の端子電極とを異方性導電膜を介して対向させて接合する接合工程を含む製造方法であって、上記接合工程の前に、上記第1の基板において上記第1の端子電極の間に溝を形成する溝形成工程を含んでいるの

で、上記第1の基板において互いに隣接する上記第1の端子電極の間に溝が形成された、小型で薄型の半導体応用装置を製造することができる。

【0077】また、本発明に係る半導体応用装置の第1の製造方法において、上記第1の基板がガラス或いは石英もしくはシリコンからなる基板である場合には、上記溝形成工程がフッ酸を含む溶液を用いて上記第1の基板をエッチングするエッチング工程を含むことにより、容易に溝を形成することができ、製造コストを安価にできる。

【0078】また、本発明に係る半導体応用装置の第1の製造方法において、上記第1の基板がガラス或いは石英もしくはシリコンからなる基板である場合には、上記溝形成工程がドライエッチングにより上記第1の基板をエッチングする工程を含み、上記溝を形成するようにしてもよい。このようにすると、所定の形状の溝を精度よく形成することができるので、隣接する端子電極間においてより良好な絶縁特性を有する半導体応用装置を製造することができる。

【0079】また、本発明に係る半導体応用装置の第1の製造方法において、上記第1の端子電極が上記第1の基板上に1 μ m以上の厚さを有する絶縁膜を介して形成されている場合には、上記溝形成工程が、上記第1の端子電極間に位置する上記絶縁膜をエッチングして除去することによって溝を形成する工程とすることにより、比較的容易に溝を形成することができるので、製造コストを安価にできる。

【0080】上記製造方法において、上記絶縁膜が感光性樹脂により形成し、上記溝形成工程が上記感光性樹脂からなる上記絶縁膜を露光現像することを含むようにすることにより、さらに容易に溝を形成することができるので、より製造コストを安価にできる。

【0081】また、本発明に係る半導体応用装置の第1の製造方法において、上記第1の端子電極は、電極層を形成した後に所定の形状の電極形成用マスクを形成してエッチングすることにより形成し、上記電極形成用マスクを用いて上記第1の端子電極間をエッチングすることにより上記溝を形成すると、溝形成用のマスクを別に形成する必要がないので、製造コストを安価にできる。

【0082】さらに、本発明に係る半導体応用装置の第1の製造方法では、上記溝形成工程において、上記溝以外の部分にレジストを形成して、該レジストをマスクとしてエッチングすることにより溝を形成することにより容易に溝を形成することができる。

【0083】またさらに、本発明に係る半導体応用装置の第1の製造方法では、上記溝形成工程において、上記第1の端子電極をマスクとしてエッチングすることにより溝を形成することにより、製造工程を簡略化できるので、製造コストを安価にできる。

【0084】また、本発明に係る半導体応用装置の第2

の製造方法は、上記第1の基板と上記第2の基板とを、上記第1の端子電極と上記第2の端子電極とを異方性導電膜を介して対向させて接合する工程を含む半導体応用装置の製造方法であって、上記保護膜形成工程と、上記レジスト形成工程と、上記エッチング工程とを含んでいるので、上記第1の基板において互いに隣接する上記第1の端子電極の間に溝が形成された半導体応用装置を、新たに溝形成工程を追加することなく製造することができ、安価に製造することができる。

【0085】また、本発明に係る半導体応用装置の第2の製造方法では、さらに上記第1の基板において、上記第1の端子電極と上記溝上に連続した異方性導電膜を設ける工程を含み、該異方性導電膜を介して上記第1の端子電極と上記第2の端子電極とを接続するようにすることにより、上記第1の端子電極の間に位置する上記異方性導電膜の絶縁特性を良好に保持できる半導体応用装置を製造することができる。

【0086】さらに、本発明に係る半導体応用装置の第2の製造方法は、上記製造方法においてさらに、上記スペーサー粒子を含む樹脂膜を、上記異方性導電膜が形成されていない部分に形成する工程を含むことにより、上記第1の端子電極と上記第2の端子電極との間の導通が良好でかつ上記第1の端子電極間及び上記第2の端子電極間の絶縁特性のより良好な半導体応用装置を製造することができる。

【図面の簡単な説明】

【図1】 本発明に係る実施の形態1の半導体応用装置における液晶パネルの端子部付近の構成を示す断面図である。

【図2】 実施の形態1の半導体応用装置における駆動回路基板の製造工程を示す断面図である。

【図3】 実施の形態1の駆動回路基板の端子部付近の構成を示す平面図である。

【図4】 図3の平面図にさらにレジスト14を形成したときの平面図である。

【図5】 実施の形態1において溝を形成する工程を示す断面図である。

【図6】 (a)は、実施の形態1の製造工程において、端子導体上と溝上に異方性導電膜を形成したときの構成を模式的に示す平面図であり、(b)は、液晶パネルと駆動回路基板とを接合したときの端子部における断面図である。

【図7】 実施の形態1の液晶表示装置における液晶パネルと駆動回路基板とを接合したときの端子部における断面図である。

【図8】 本発明に係る実施の形態2の半導体応用装置における駆動回路基板の製造工程を示す断面図である。

【図9】 実施の形態2の駆動回路基板において溝を形成する工程を示す断面図である。

【図10】 (a)は、実施の形態2の製造工程におい

て、端子導体上と溝上に異方性導電膜を形成したときの構成を模式的に示す平面図であり、(b)は、液晶パネルと駆動回路基板とを接合したときの端子部における断面図である。

【図11】 実施の形態2の液晶表示装置における液晶パネルと駆動回路基板とを接合したときの端子部における断面図である。

【図12】 本発明に係る実施の形態3の液晶表示装置における液晶パネルの端子部付近の部分断面図である。

【図13】 実施の形態3の液晶パネルの端子部付近の構成を示す平面図である。

【図14】 図13の平面図にさらにレジスト14を形成したときの平面図である。

【図15】 実施の形態3において溝を形成する工程を示す断面図である。

【図16】 実施の形態3の液晶パネルの端子部付近の構成を示す断面図である。

【図17】 実施の形態3の駆動回路基板の製造工程を示す断面図である。

【図18】 実施の形態3の駆動回路基板の端子部付近の平面図である。

【図19】 (a)は、実施の形態3の製造工程において、端子導体上と溝上に異方性導電膜を形成したときの構成を模式的に示す平面図であり、(b)は、液晶パネルと駆動回路基板とを接合したときの端子部における断面図である。

【図20】 本発明に係る実施の形態4の液晶パネルにおいて溝を形成する工程を示す断面図である。

【図21】 (a)は、実施の形態4の製造工程において、端子導体上と溝上に異方性導電膜を形成したときの構成を模式的に示す平面図であり、(b)は、液晶パネルと駆動回路基板とを接合したときの端子部における断面図である。

【図22】 異方性導電膜を用いた接続の原理を説明するための断面図である。

【図23】 (a)は、従来例において、端子電極上に異方性導電膜を形成したときの構成を模式的に示す平面図であり、(b)は、従来例における基板を接合したときの端子部における断面図である。

【図24】 (a)は、端子電極上にバンプを形成した従来例において、端子電極上に異方性導電膜を形成したときの構成を模式的に示す平面図であり、(b)は、端子電極上にバンプを形成した従来例における基板を接合したときの端子部における断面図である。

【図25】 (a)はCOG法を用いて構成した液晶表示装置全体の平面図であり、(b)はGOG法を用いて構成した液晶表示装置全体の平面図である。

【図26】 (a)は、一方の端子電極が比較的厚い従来例において、端子電極上に異方性導電膜を形成したときの構成を模式的に示す平面図であり、(b)は、一方

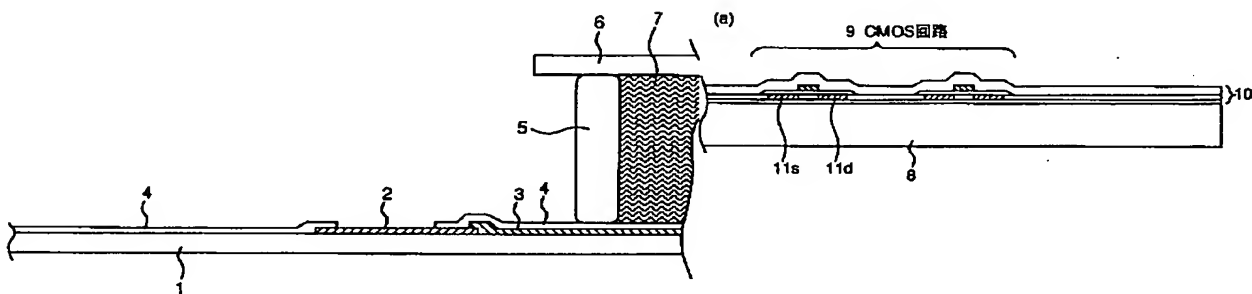
の端子電極が比較的厚い従来例における基板を接合したときの端子部における断面図である。

【符号の説明】

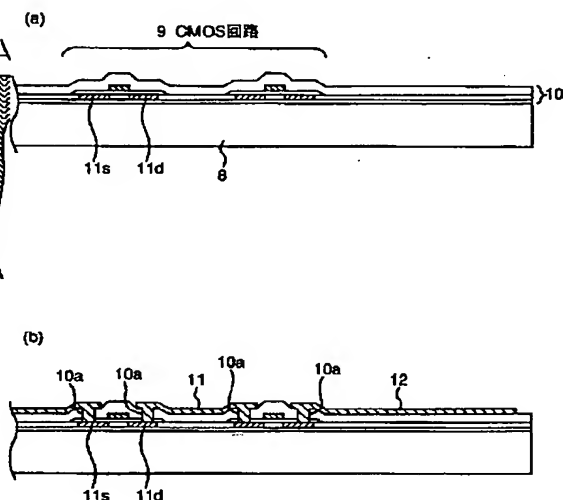
1, 8 ガラス基板、2, 4 2 端子電極、3, 11 配線、4, 13 保護膜、4, 7 液晶、5 シール剤、6 カラーフィルター、9 CMOS回路、10, 20

絶縁膜、10 a コンタクトホール、11 s ソース電極、11 d ドレイン電極、12 端子電極、14, 4 4 レジスト、14 a, 14 b 開口部、15, 4 5 溝、16 異方性導電膜、17 導電粒子、18 シリコン基板、19 画像表示部、20 ゲート絶縁膜、21 画素電極。

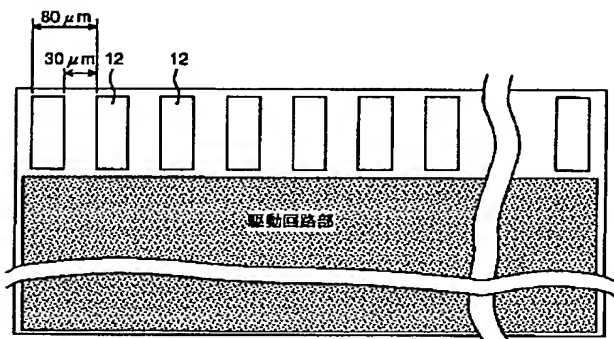
【図 1】



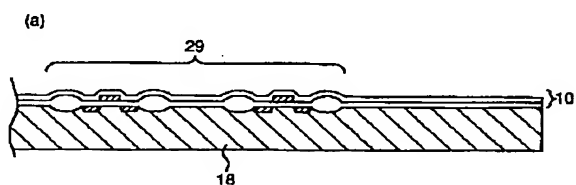
【図 2】



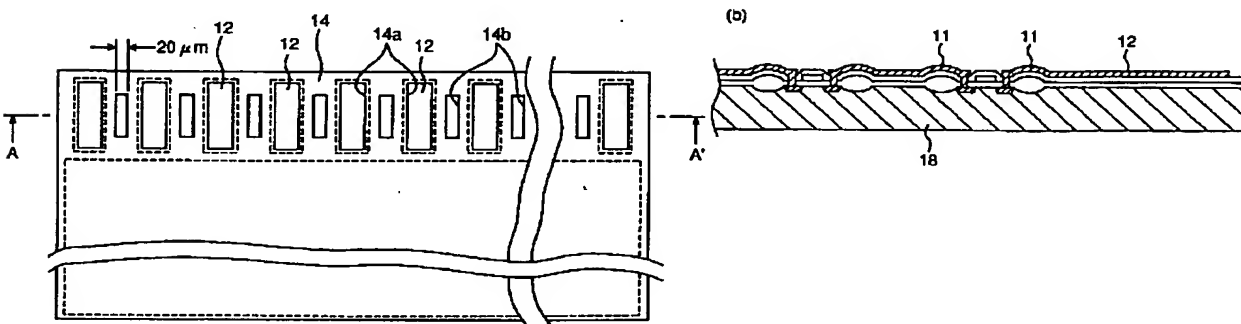
【図 3】



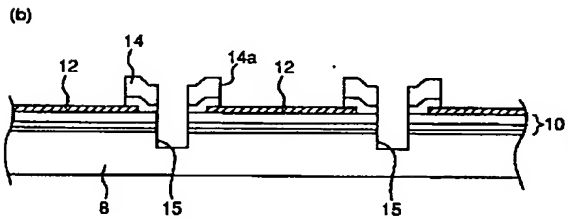
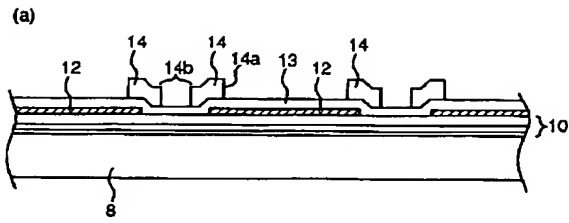
【図 8】



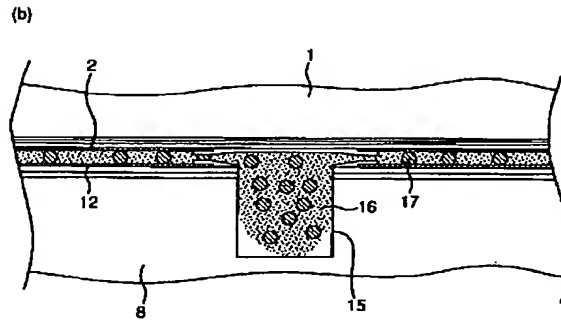
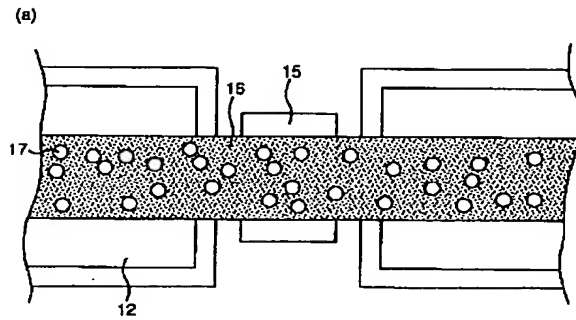
【図 4】



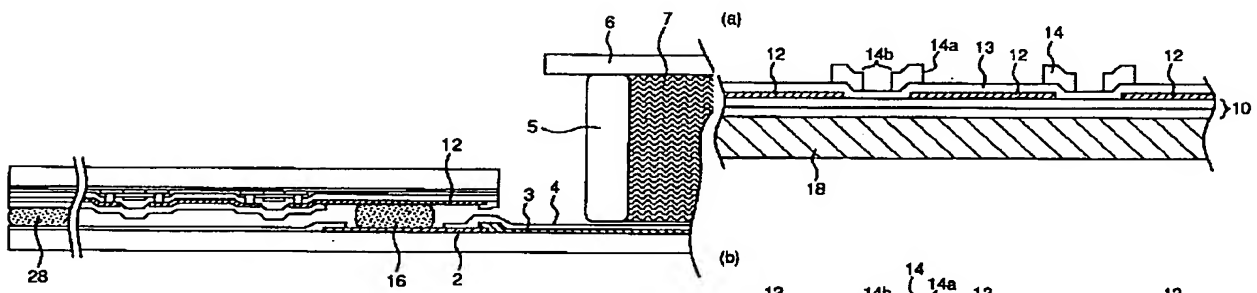
【図5】



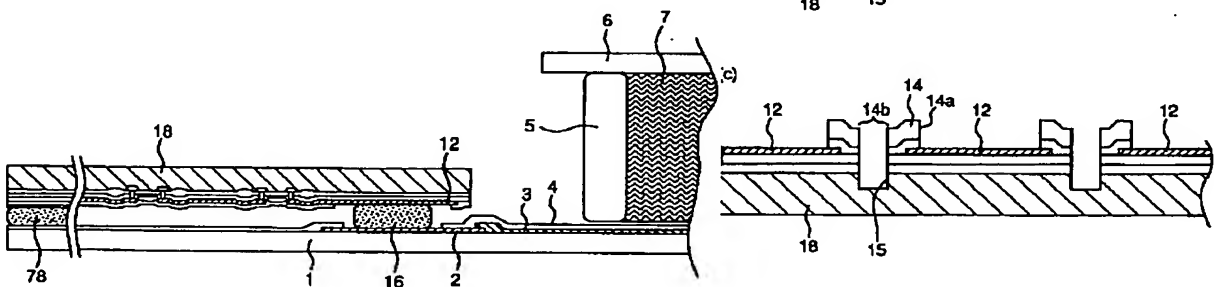
【図6】



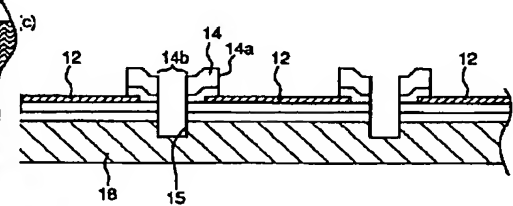
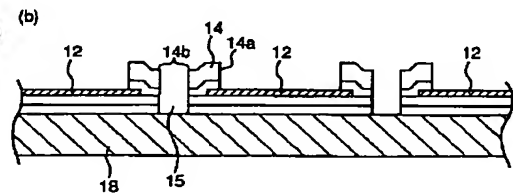
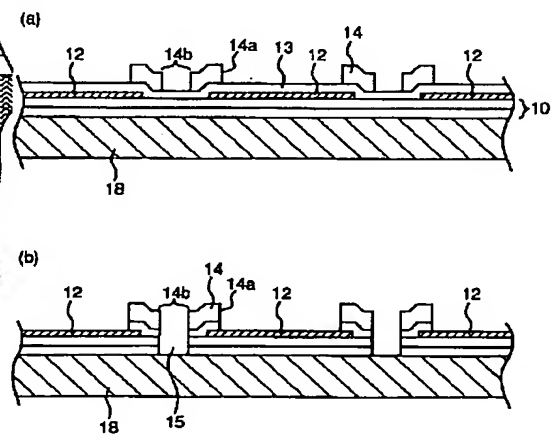
【図7】



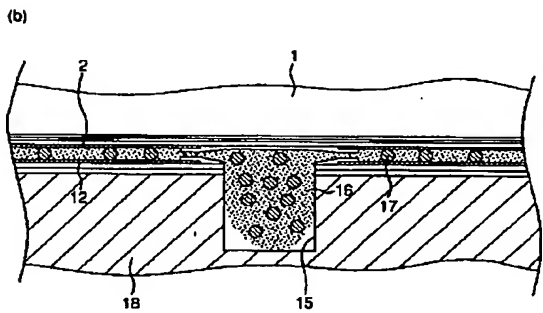
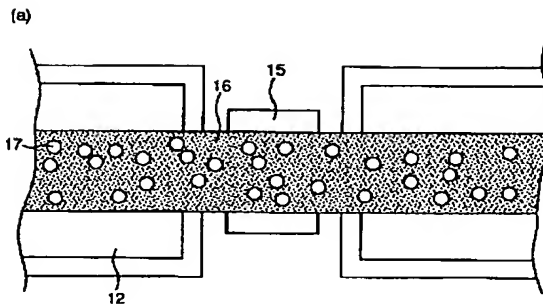
【図11】



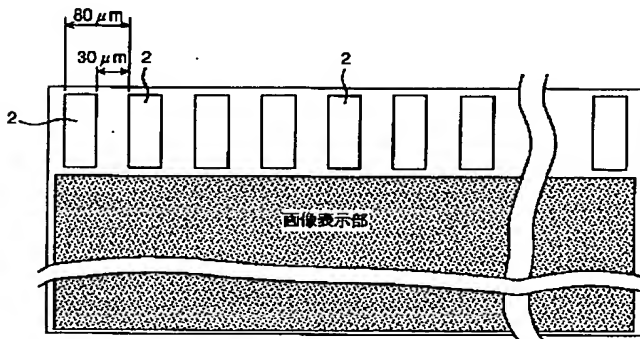
【図9】



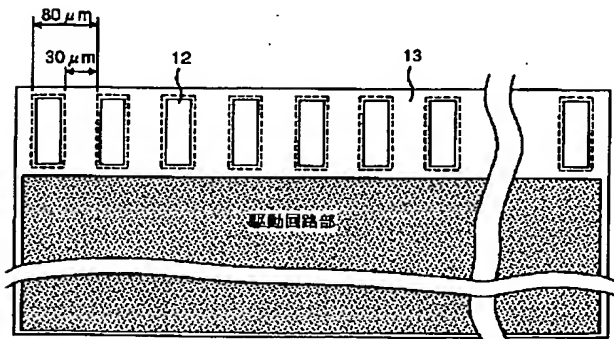
【図10】



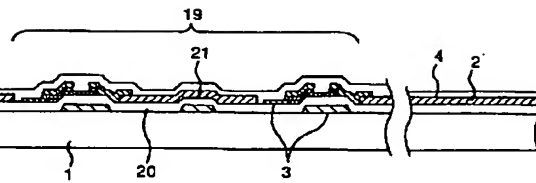
【図13】



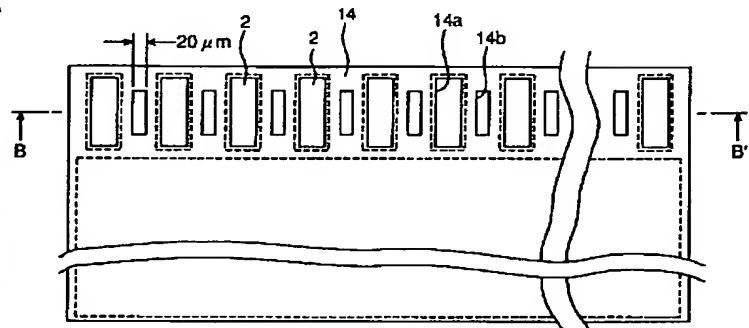
【図18】



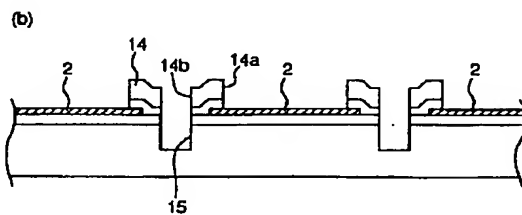
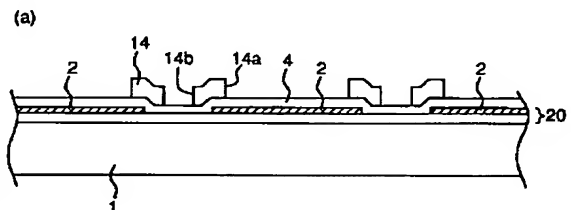
【図12】



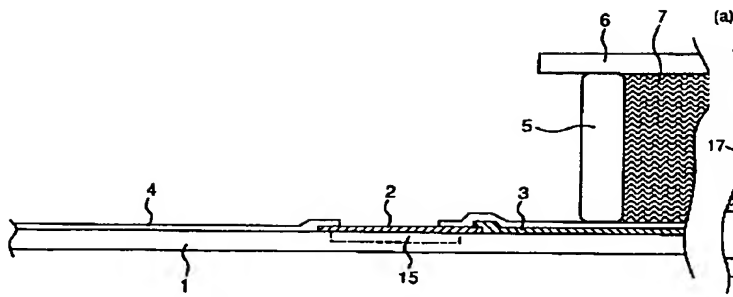
【図14】



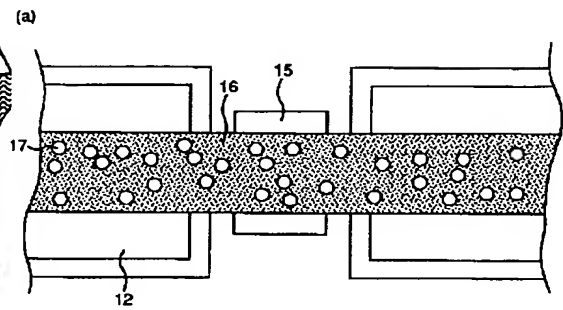
【図15】



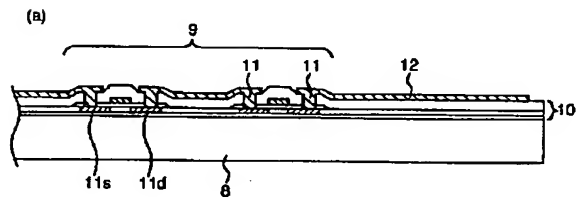
【図16】



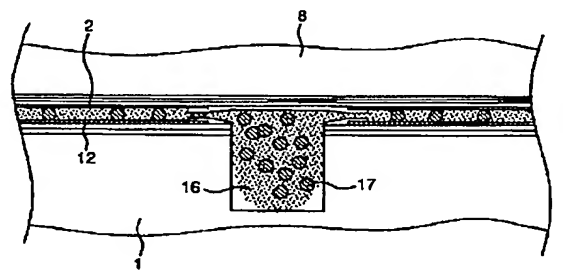
【図19】



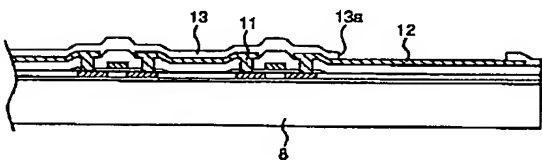
【図17】



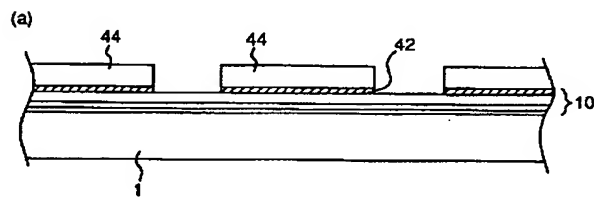
(b)



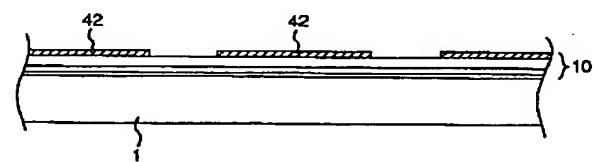
(b)



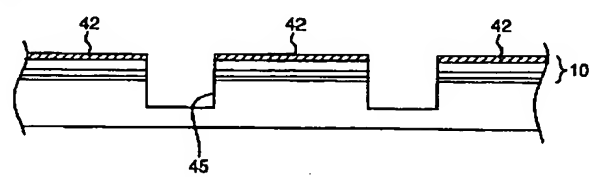
【図20】



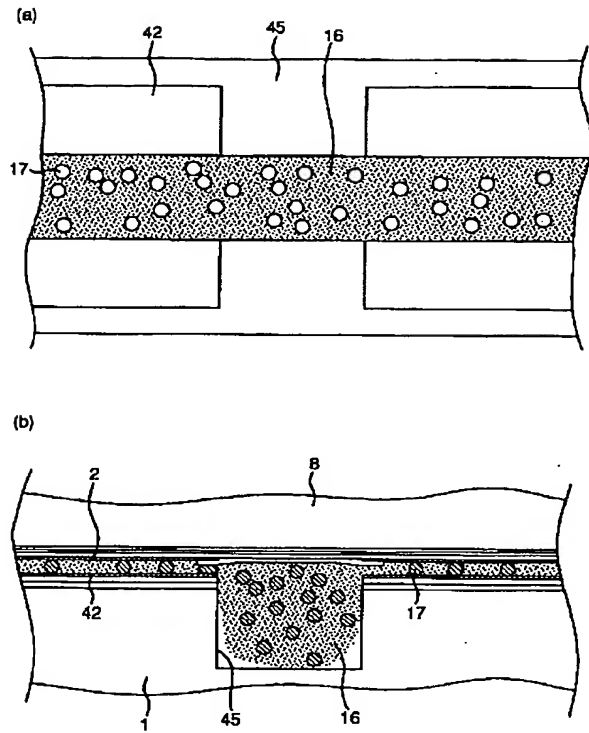
(b)



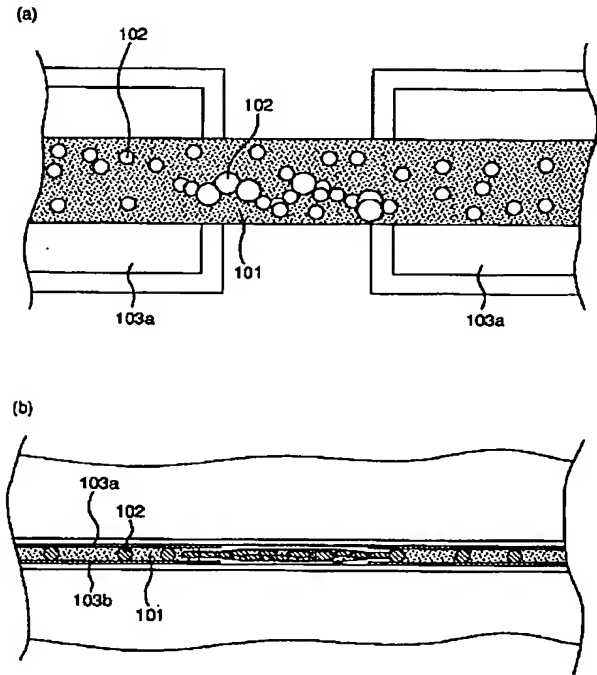
(c)



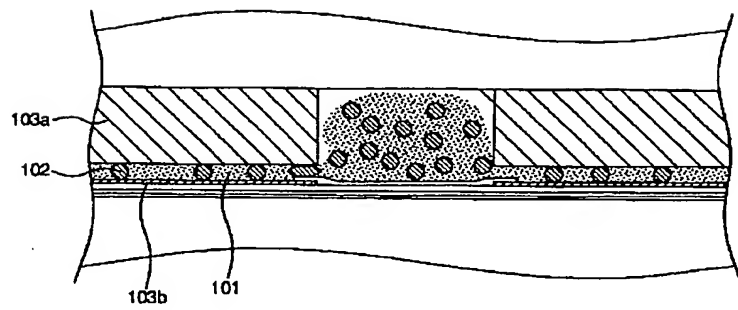
【図 2 1】



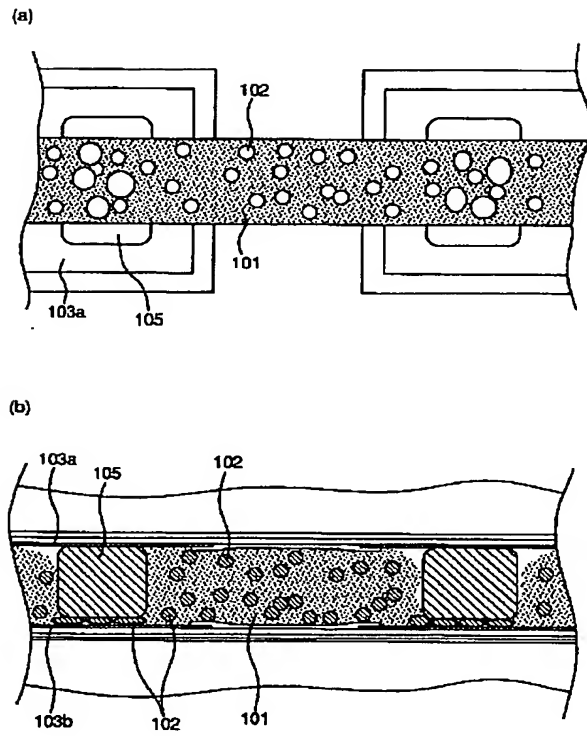
【図 2 3】



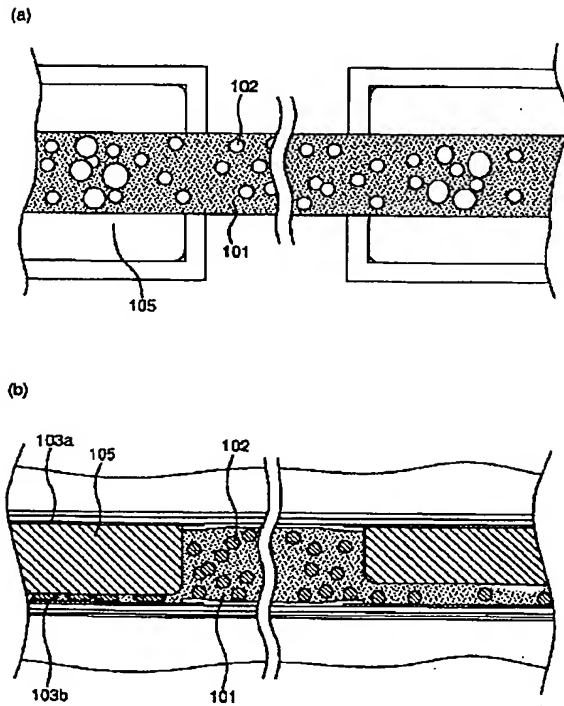
【図 2 2】



【図24】



【図26】



【図25】

